

## 1. Notion de famille de circuit logique

Un circuit logique se présente sous forme d'un circuit intégré qui permet de regrouper dans un même boîtier un maximum de composants électroniques dont le plus important est le **transistor**.

Les circuits intégrés logiques sont classés suivant leur technologie de fabrication en plusieurs familles logiques. Chaque famille logique a pour point commun la technologie employée.

Dans ce chapitre, on étudiera les familles les plus populaires actuellement, à savoir :

- La famille **TTL** (Transistor Transistor Logic) : Utilise une technologie à base de transistors bipolaires.
- La famille **CMOS** (Complementary Metal Oxide Semiconductor) : Utilise une technologie à base de transistors MOS.



Chaque famille logique est caractérisée par des paramètres électriques comme l'alimentation et la consommation, et des performances dynamiques comme le temps de propagation.

## 2. Variantes technologiques des familles logiques TTL et CMOS

### 21. Variantes technologiques de la famille TTL

- La série **Std 74xx** : Série **S**tandard qui est peu rapide avec une consommation élevée.
- La série **74Lxx** : Série à faible consommation (**L**ow Power) mais au détriment de la rapidité.
- La série **74Hxx** ou **74Fxx** : Série rapide (**H**igh speed ou **F**ast) mais au détriment de la consommation.
- La série **74Sxx** : Série **S**chottky qui est 2 fois plus rapide que la série H pour la même consommation.
- La série **74LSxx** : Série qui constitue un compromis entre la série TTL L et la série TTL S.
- Les séries **74ASxx** (**A**dvanced **S**chottky) et **74ALSxx** (**A**dvanced **L**ow power **S**chottky) : Séries à technologie avancée et dérivées des séries présentées précédemment.

### 22. Les variantes technologiques de la famille CMOS

- La série **4000** : Série classique de base.
- La série **74Cxx** : Même technologie que la série 4000, mais le brochage et les fonctions de la série 74xx.
- La série **74HCxx** : CMOS rapide comme la famille TTL LS, son alimentation est de **2 à 6** volts.
- La série **74HCTxx** : Compatibilité totale avec la famille TTL LS, rapidité et consommation de la famille CMOS HC et son alimentation est de **5** volts.
- La série **74ACxx** : **A**dvanced **C**MOS, CMOS encore plus rapide que la famille HC.
- La série **74ACTxx** : CMOS AC compatible TTL.

#### 🔔 Remarques :

- La série 4000 existe en version standard (circuits 4000) et en version bufférisée (circuits 4000B).
- Les séries 74 existent en 2 gammes, dont la différence est la plage de fonctionnement en température :
  - ↪ La gamme **industrielle** (74xx) fonctionnant entre 0 °C et +70 °C.
  - ↪ La gamme **militaire** (54xx) fonctionnant entre -55 °C et +125 °C.

## 3. Paramètres caractéristiques des circuits logiques

### 31. Tension d'alimentation

- Famille logique **TTL** : L'alimentation doit être fixe et égale à **5 Volts** avec une tolérance de  $\pm 5\%$ .
- Famille logique **CMOS** classique : Le choix de la tension d'alimentation est plus large de **3 à 18 Volts**.

### 32. Niveaux logiques

Pour une famille donnée, les niveaux logiques 0 ou L (Low) et 1 ou H (High) ne correspondent pas à une tension précise, mais à une certaine plage de tension.

La terminologie utilisée pour les valeurs de la tension en entrée (Input) :

- **VIHmin** : Tension minimale en entrée qui assure le niveau logique haut.
- **VILmax** : Tension maximale en entrée qui assure le niveau logique bas.

Vcc	1	➤ En TTL : VIHmin=2 V et VILmax=0,8 V
VIHmin	∅	
VILmax	(Etat indéfini)	➤ En CMOS : VIHmin=0,55*Vcc et VILmax=0,45*Vcc
0 V	0	

La terminologie utilisée pour les valeurs de la tension de sortie (Output) :

- **VOHmin** : Tension minimale de la sortie à l'état logique haut.
- **VOLmax** : Tension maximale de la sortie à l'état logique bas.

Vcc	1	➤ En TTL : VOHmin=2,4 V et VOLmax=0,4 V
VOHmin	∅	
VOLmax	(Etat indéfini)	➤ En CMOS : VOHmin=0,95*Vcc et VOLmax=0,05*Vcc
0 V	0	

### 33. Consommation

La consommation d'un circuit logique est la puissance demandée par son boîtier au circuit d'alimentation. Elle doit être la plus faible possible et elle est nécessaire pour dimensionner l'alimentation des circuits logiques.

Le constructeur indique une puissance consommée moyenne liée aux niveaux de sortie des circuits logiques.

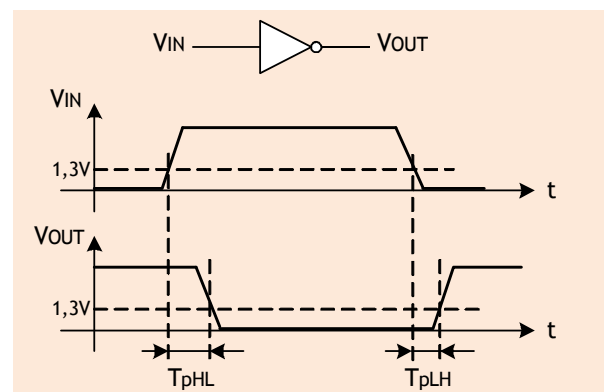
### 34. Temps de propagation

Dans une porte logique, les grandeurs sont transmises avec un retard caractéristique de la porte : c'est le temps de propagation de l'information dans la porte. On distingue alors :

- **TpHL** : Temps de propagation du signal logique lorsque la sortie passe de l'état haut à l'état bas.
- **TpLH** : Temps de propagation du signal logique lorsque la sortie passe de l'état bas à l'état haut.

Pour assurer la mesure de ces durées, une référence de tension est fixée par les constructeurs (1,3 V en TTL) pour le début et la fin de la propagation.

Ces temps de propagation sont étroitement liés à la fréquence limite d'utilisation **Fmax** :  
**Fmax=1/(TpHL+TpLH).**



### 35. Comparaison des paramètres des différentes familles logiques

Conditions : tension d'alimentation = 5 V ;  $T_a = 25^\circ\text{C}$  ; capacité de charge = 15 pF.

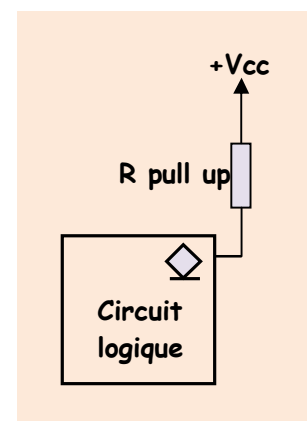
FAMILLES											
54/74	TTL Standard	74 AS	TTL Advanced Schottky	54..	- 55 à + 125 °C						
54L/74L	TTL Faible consommation	74ALS	TTL Advanced Low Power Schottky	74..	0 à + 70 °C						
54S/74S	TTL Schottky	74F	TTL Fast	74 LVT	Technologie ABT (3,3 V)						
54LS/74LS	TTL Low Power Schottky	74C/74HC/74HCT/4000B	CMOS								
Paramètres		74	74S	74LS	74AS	74ALS	74F	74HC	74HCT	4000B	74 LVT
Puissance dissipée (mW)	Porte statique	10	19	2	8,5	1,2	5,5	-	-	0,001	-
	Porte à 100 kHz	10	19	2	8,5	1,2	5,5	0,075		0,1	3,1
	Compteur statique	300	500	100	-	60	190	-		0,001	10
	Compteur à 100 kHz	300	500	100	-	60	190	0,125		0,120	
Temps de propagation (ns)	Porte (typique)	10	3	9,5	1,5	4	3	7	7	40	
	Porte (maximum)	20	5	15	2,5	7	4	14	15	80	3,5
Fréq. max. d'horloge (MHz)	Bascule D (typique)	25	100	33	160	60	125	55		12	150
	Compteur (typique)	32	70	32	-	45	125	45		6	
Tension d'alimentation (V)		5 ± 5 %	5 ± 5 %	5 ± 5 %	5 ± 10 %	5 ± 10 %	5 ± 5 %	2 à 6	5 ± 10 %	3 à 15	2,7 - 3,6
Courant	$I_{OL\min}$ (mA)	16	20	8	20	6	20	4	4	6,8	64 (max)
	$I_{OH\max}$ (mA)	-0,4	-1	-0,4	-0,2	-0,4	-1	-	-	-6,8	-32
	$I_{IL\max}$ (mA)	-1,6	-0,2	-0,36	-0,5	-0,2	-0,6	0,001	±0,001	-	-
	$I_{IH\max}$ (µA)	40	50	20	20	20	20	-	-	-	71 µA
Tension	$V_{OL\max}$ (V)	0,4	0,5	0,5	0,5	0,5	0,5	0,1	0,1	0,1	0,55
	$V_{OH\min}$ (V)	0,4	2,7	2,7	$V_{CC} - 2$	$V_{CC} - 2$	2,5	4,9	4,9	4,9	2
	$V_{L\max}$ (V)	0,8	0,8	0,7	0,8	0,8	0,8	1	0,8	0,8	0,8
	$V_{H\min}$ (V)	2	2	2	2	2	2	3,5	2	2	2
Marge de bruit (V)	État haut	0,4	0,7	0,7	$V_{CC} - 4$	$V_{CC} - 4$	0,5	1,4	2,9	2,9	0,8
	État bas	0,4	0,3	0,2	0,3	0,3	0,3	0,3	0,7	0,7	1,2
Sortance (charge LS)	Standard	40	50	20	50	20	50	50		2	
	Amplis-bus	120	160	60	120	60	160	16		4	
Charge admissible des différentes familles ( $I_{OL\min}/I_{L\max}$ )	74	10	8	40	32	80	26	16 000	16 000		
	74S	12	10	50	40	100	33	20 000	20 000		
	74LS	5	4	20	16	40	13	8 000	8 000		
	74AS	12	10	50	40	100	33	20 000	20 000		
	74ALS	5	4	20	16	40	13	8 000	8 000		
	74F	12	10	50	40	100	33	20 000	20 000		
	74HC	2	2	10	8	20	6	4 000	4 000		
74HCT	2	2	10	8	20	6	4 000	4 000			

## 4. Etages de sortie

### 4.1. Etage de sortie à collecteur ouvert

L'étage de sortie à collecteur ouvert (ou à drain ouvert) permet de piloter des charges externes lorsque la tension et le courant d'une sortie logique normale ne suffisent pas.

Un étage de sortie à collecteur ouvert est repéré par le symbole  $\diamond$ . Pour assurer un niveau logique en sortie, il faut compléter son polarisation par une résistance de tirage à +Vcc (pull up resistor).

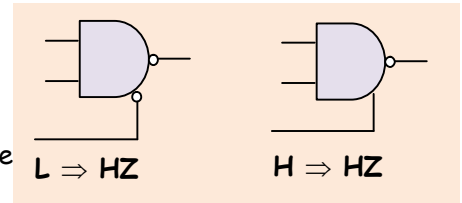


## 42. Etage de sortie 3 états

L'étage de sortie 3 états présente en plus des deux niveaux logiques classiques dits à basse impédance, un 3<sup>ème</sup> état de la haute impédance **HZ** où l'impédance de sortie devient très grande, voire infinie.

Lorsqu'une sortie est mise en état **HZ**, elle sera déconnectée et isolée électriquement du reste du montage.

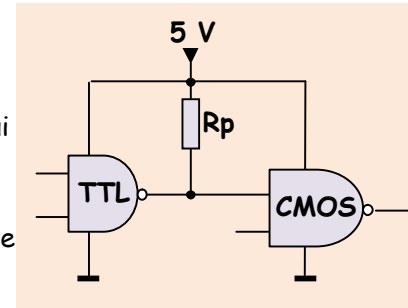
Une porte trois états possède en plus des entrées logiques classiques une entrée supplémentaire du contrôle qui permet de mettre ou non la sortie en état **HZ** (voir l'exemple ci-dessus d'une porte NAND à 3 états).



## 5. Interfaçage des circuits logiques

### 51. Interfaçage CMOS/TTL et TTL/CMOS

- Une sortie CMOS peut commander sans problème une entrée TTL.
- Par contre, une sortie TTL délivre une tension  $V_{OHmin}$  de 2,4 V qui reste insuffisante pour une entrée CMOS ( $V_{IHmin}=0,55*5=2,75$  V). La solution la plus utilisée pour assurer la compatibilité consiste à utiliser une résistance de rappel à la source d'alimentation  $R_p$  comprise entre 1 K $\Omega$  à 10 K $\Omega$ .



### 52. Commande d'une entrée logique TTL par un contact

Souvent, l'entrée d'un circuit logique TTL change d'état en fonction de l'état d'un contact (interrupteur, contact d'un capteur TOR, ...). Il faut alors prévoir un interfaçage pour assurer le bon fonctionnement.

#### 521. Contact commandant un niveau bas

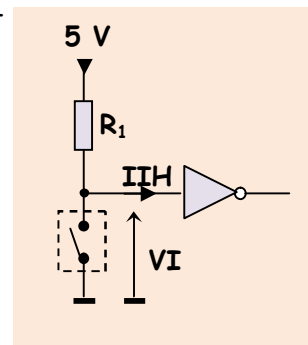
Sans la résistance du **pull up**  $R_1$ , la fermeture du contact provoque un court-circuit de l'alimentation 5 V. La résistance  $R_1$  résout ce problème :

- Au repos, le contact est ouvert,  $R_1$  assure le niveau 1 logique sur l'entrée de la porte logique.
- Lorsque le contact est fermé, l'entrée logique est au niveau 0 et l'alimentation n'est pas court-circuitée.

Le bon fonctionnement implique la condition  $V_I > V_{IH} \Rightarrow R_1 < (V_{cc} - V_{IH}) / I_{IH}$

$$\Rightarrow R_1 < (5 - 2) / (40 * 10^{-6}) \Rightarrow R_{1max} = 75 \text{ K}\Omega.$$

Une valeur typique de  $R_1$  est de l'ordre de 3,3 K $\Omega$ .



#### 522. Contact commandant un niveau haut

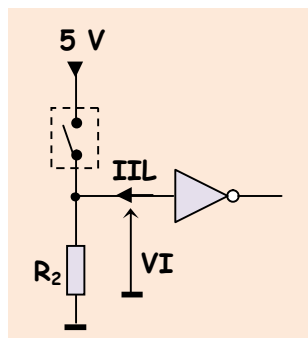
Sans la résistance du **pull down**  $R_2$ , la fermeture du contact provoque un court-circuit de l'alimentation 5 V. La résistance  $R_2$  résout ce problème :

- Au repos, le contact est ouvert,  $R_2$  assure le niveau 0 logique sur l'entrée de la porte logique.
- Lorsque le contact est fermé, l'entrée logique est au niveau 1 et l'alimentation n'est pas court-circuitée.

Le bon fonctionnement implique la condition  $V_I < V_{IL} \Rightarrow R_2 < V_{IL} / I_{IL}$

$$\Rightarrow R_2 < 0,8 / (1,6 * 10^{-3}) \Rightarrow R_{2max} = 500 \Omega.$$

Une valeur typique de  $R_2$  est de l'ordre de 330  $\Omega$ .



#### Remarque :

Pour la famille **CMOS**, une valeur typique de  $R_1$  (pull up) et de  $R_2$  (pull down) est de l'ordre de 100 K $\Omega$ .